

一种低功耗高稳定性晶体振荡器芯片的设计

陈红梅, 徐静平, 钟德刚

(华中科技大学 电子科学与技术系, 湖北 武汉 430074)

摘 要: 分析了传统 Pierce 振荡器不足, 提出了改进型的振荡器结构, 并基于 $0.35\ \mu\text{m}$ CMOS 工艺, 设计实现了一款低功耗高稳定性的晶体振荡器芯片. 芯片有两种工作模式: 正常工作模式和低功耗模式. 测试结果表明, 在电源电压为 $5\ \text{V}$ 、振荡频率为 $30\ \text{MHz}$ 、负载电容 $15\ \text{pF}$ 时, 芯片消耗总电流低于 $5\ \text{mA}$, 振荡电路消耗电流仅为 $0.6\ \text{mA}$, 输出占空比为 $50 \pm 0.8\%$ 的方波信号, 其频率随电源电压的变化率仅为 0.5×10^{-6} . 引入低功耗模式, 振荡器消耗电流降低至 $3\ \mu\text{A}$ 以下, 和传统结构相比, 功耗降低了 60% , 频率随电压稳定性提高了 10 倍.

关键词: Pierce 晶体振荡器; 低功耗; 高稳定性; CMOS 工艺

中图分类号: TN432

文献标识码: A

文章编号: 1000-7180(2010)12-0105-04

Design of Crystal Oscillator Chip with Low Power and High Stability

CHEN Hong-mei, XU Jing-ping, ZHONG De-gang

(Department of Electronics Science and Technology,

Huazhong University of Science and Technology, Wuhan 430074, China)

Abstract: A crystal oscillator chip with low power and high stability is presented. On the basis of analyzing the disadvantages of the conventional Pierce crystal oscillator, a novel crystal oscillator structure has been proposed. The chip can work under two modes: normal operating mode and power-dissipation mode. Based on $0.35\ \mu\text{m}$ CMOS process, the test results show that total consumption of the chip is less than $5\ \text{mA}$ with power supply voltage of $5\ \text{V}$, oscillation frequency of $30\ \text{MHz}$, load capacitance of $15\ \text{pF}$, and the oscillator circuit is only $0.6\ \text{mA}$, output square wave signal with duty cycle of $50 \pm 0.8\%$, frequency stability 0.5×10^{-6} . By introducing the power-dissipation mode, current consumption of the oscillation circuit is dropped to $3\ \mu\text{A}$. Compared with the conventional structure, the power-dissipation has been reduced 60% , frequency stability raised ten times.

Key words: Pierce crystal oscillator; low power-dissipation; high-stability; CMOS technology

1 引言

在现代电子电路系统中, 石英晶体振荡器具有高的品质因素, 能精确的定义谐振频率 (resonant frequency), 提供系统标准参考源 (reference source), 因而扮演了极其重要的角色^[1]. 晶体振荡器常常作为系统时钟, 低功耗、高稳定性成为设计时要考虑的重点因素.

传统的 Pierce 振荡器如图 1 所示. M1 作为放大器, R1 为负载电阻, 反馈电阻 Rf 用来稳定放大管的静态工作点, 结构非常简单, 得到了普遍的应用.

但电阻直接作为负载功耗太大, 且电阻占用的版面面积大, 不利于芯片集成^[2]; 另外, 振荡器电路没有对振荡电流的限制, 很可能因为振荡能量过大而使晶振受损, 功耗大大增加. 针对这些不足, 文中对传统 Pierce 结构进行了改进: (1) 设计了带使能控制的、快速起振的振荡电路, 以降低电路功耗; (2) 设计了振荡器输出缓冲电路, 对振荡器输出信号进行放大整形, 调整输出信号占空比为 50% , 隔离负载电路的影响, 以提高输出信号的稳定度; (3) 设计了使能控制电路, 不仅实现整体电路使能控制, 还可以在电路不起振时关断部分电路, 以进一步降低电路功

耗. 采用 SMIC 0.35 μm CMOS 工艺完成了该芯片的设计. 结果表明, 芯片起振快、功耗低, 非常适合应用于高精度时钟系统.

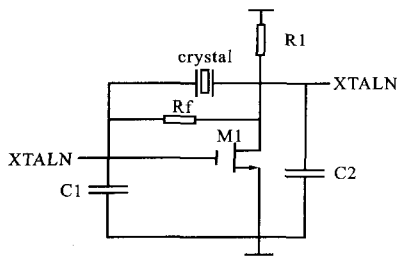


图1 传统结构 Pierce 振荡器

2 电路结构及原理

文中所设计的晶体振荡器芯片系统框图如图 2 所示, 其基本工作原理为: OSC 振荡电路以噪声作为起振的原始激励信号, 输出稳定的正弦信号; OSC_BUFFER 振荡输出缓冲电路对前一级输出的正弦信号进行放大整形, 得到占空比为 50% 的方波信号; 分频电路对输出的方波信号进行频率调整, 以得到适合不同频率信号源; 频率调整后的方波信号通过高性能的输出缓冲电路, 提高芯片的带负载能力, 为各种电子系统提供准确的频率基准源.

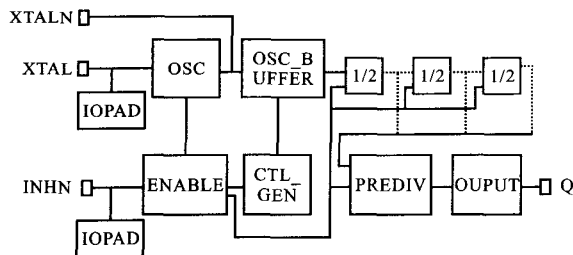


图2 晶体振荡器芯片系统框图

3 关键电路设计

3.1 改进型低功耗振荡器电路

文中设计的改进型低功耗振荡器电路, 集成了一个带使能控制的 CMOS 放大器与一个外部石英晶体的振荡器. 节点 XTAL 和 XTALN 分别连接石英晶振的两端. 如图 3 所示.

MP1 和 MN1 构成 CMOS 反相器, 与石英晶体并联, 通过对地连接两只电容 C_1 ($C_{11} + C_{12}$) 和 C_2 ($C_{21} + C_{22}$) 构成基本的振荡器电路. 借助反馈电阻 R_f 将放大器的直流工作点偏置在 $V_{DD}/2$, 使 MOS 管工作在线性区, 以获得较大的增益. P_CTL 和 N_CTL 信号实现使能控制, 降低了电路功耗: 在电路正常起振时, 大尺寸管子 M1 和 M2 快速导通, M1

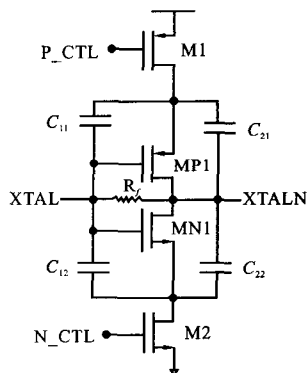


图3 低功耗振荡器电路结构

作为放大器有源负载, M2 则作为限流电阻, 限制了振荡电路的电流以防止晶振因驱动能量过大而振坏, 同时也减少了电流损耗; 在使能关断时, M1 和 M2 均截止, 关断振荡器电路, 电路进入低功耗模式, 此时只有很小的漏电流^[3].

关于 C_1 和 C_2 的取值, 从功耗的角度, C_1 和 C_2 应当取小一点, 因为这样 MOS 管的工作电流可以比较小, 但从频率稳定性和电路抗干扰特性来说, C_1 和 C_2 的取值不能太小^[4-5]. 因此, C_1 和 C_2 的取值需要在功耗和频率稳定度之间进行折中. 本设计中, C_1 和 C_2 的取值分别为 8 pF 和 10 pF.

3.2 振荡器输出缓冲电路

XTAL 和 XTALN 端的信号均为非标准的正弦信号, 特别是 XTALN 的振幅范围有可能超过电源电压的范围, 因此, 在振荡器输出端设计了图 4 所示的反相器缓冲电路, 对振荡器输出信号进行差分放大整形. 同时, 利用 XTAL 和 XTALN 的相位差为 180° 的特性, 保证整形输出的方波占空比为 50%.

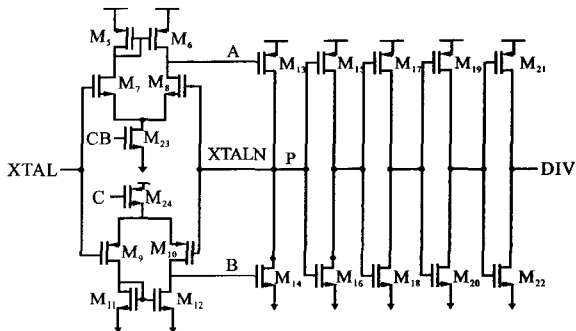


图4 振荡器输出缓冲电路

图 4 中 CB 和 C 为互补使能控制信号. 当 CB 为低时, C 为高, M23 和 M24 均截止, 差分电路的偏置电流被关断, 输出为低功耗模式的高阻态; 当 CB 为高时, C 为低, 则 M23 和 M24 快速导通, 为放大器

电路提供偏置电流,此时,XTAL 和 XTALN 信号进行差分放大比较.当 XTAL 比 XTALN 高时,差分输出节点 A 和 B 的电位均为高,M13 截止,M14 导通,节点 P 输出为低,则缓冲后输出信号 DIV 为低;当 XTAL 比 XTALN 低时,差分输出节点 A 和 B 的电位均为低,M13 导通,M14 截止,节点 P 输出为高,缓冲后输出信号 DIV 为高.如此循环进行,输出方波信号 DIV.由于 XTAL 和 XTALN 为相位差为 180° ,可以保证输出的方波信号占空比为 50%.

3.3 使能控制电路

本设计中,使能控制电路包括两个基本模块:ENABLE 模块和 CTL_GEN 模块.其中,ENABLE 模块实现整个电路的开启关断控制,CTL_GEN 模块电路(如图 5 所示)则实现在芯片使能正确但电路还未稳定起振时,输出一定控制信号关闭振荡器缓冲电路,使电路进入低功耗模式.下面将详细分析 CTL_GEN 控制电路的工作原理.

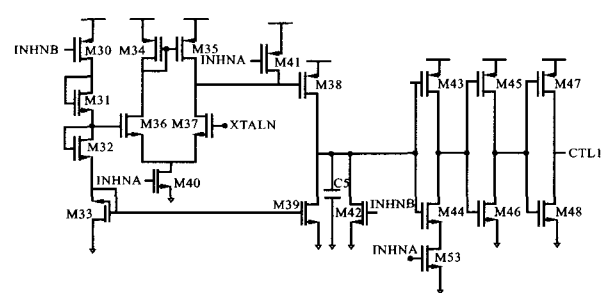


图 5 CTL_GEN 控制电路的结构图

图 5 中 INHNA 和 INHNB 为 ENABLE 模块得到的互补控制信号,XTALN 为振荡器输出信号.ENABLE 模块正常使能工作时,INHNA 为高,INHNB 为低,则 M41 和 M42 均截止. INHNB 为低,M30 快速饱和导通,与二极管连接的 M31、M32、M33 构成基本的偏置电路,通过电流镜镜像为其它支路提供偏置电流.由于 M31、M32、M33 均为二极管连接,M36 的栅极电压大小近似为 $2/3V_{DD}$.M36 和 M37 构成基本差分对结构,输入的差分信号分别为 $2/3V_{DD}$ 和 XTALN,M40 为差分对电路提供微弱的偏置电流,M34 和 M35 为差分对电路的负载.工作时,XTLAN 信号与 $2/3V_{DD}$ 相比较,当振荡电路正常起振,且 XTLAN 大于 $2/3V_{DD}$ 时,差分对输出为低,M38 导通,输出控制信号 CTL1 为低,驱动振荡器输出缓冲电路正常工作,电路输出方波信号;当振荡电路不能正常起振,XTLAN 小于 $2/3V_{DD}$ 时,差分输出为高,M38 截止,

输出控制信号 CTL1 为高,关断振荡器缓冲电路,使后面的单元模块均被关断,输出高阻态,大大降低了电路在不能起振时的功耗.电容 C5 主要滤去输出方波信号的高次谐波,降低电路的输出噪声^[6].

4 电路仿真与版图设计

文中采用 SMIC $0.35\mu\text{m}$ CMOS 工艺设计了整体电路,其石英晶体谐振器的参数如表 1 所示.所设计的芯片性能如表 2 所示.结果表明:在电源电压为 5 V、振荡频率为 30 MHz、负载电容 15 pF 的条件下,输出占空比为 $50\pm0.8\%$ 的方波信号,芯片消耗总电流低于 5 mA,振荡电路消耗电流仅为 0.6 mA;输出高阻态时,振荡器电流降至 $3\mu\text{A}$ 以下,功耗大大降低.振荡电路上电起振输出波形如图 6 所示.根据起振时间的定义(输出电压达到稳定值的 90%所用的时间),可见起振非常快($140\mu\text{s}$).

表 1 30 MHz 石英晶体参数

f/MHz	R_m/Ω	L_m/mH	C_m/fF	C_0/fF	Q
30	17.2	4.36	6.46	2.26	50000

表 2 芯片性能总结

工艺	$0.35\mu\text{m}$
电源电压	2.7~5.5 V
工作温度	$-20\sim80^{\circ}\text{C}$
频率随电压变化率	4~30 MHz
芯片消耗总电流	0.5×10^{-6}
振荡模块消耗电流	5 mA (30 MHz)
输出信号占空比	0.6 mA (30 MHz)
功耗	正常输出: 22.5 mW 低功耗模式: 40 μW

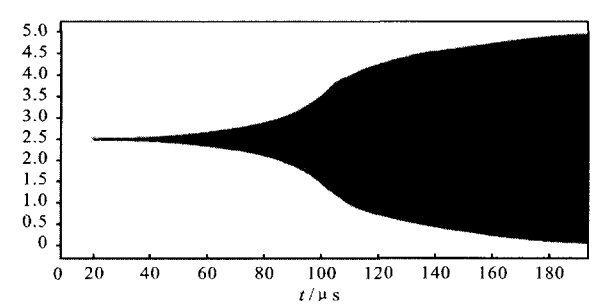


图 6 振荡电路瞬态启动过程波形

最后,进行了芯片版图设计.设计中,采用保护环以避免闩锁效应^[7].同时,充分考虑高频信号之间的耦合作用和高频器件的布局,尽可能地降低电路噪声干扰,提高输出信号的稳定性.所设计的版图如图 7 所示.

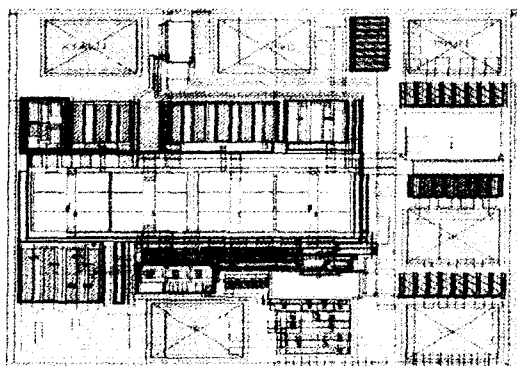


图7 芯片版图

5 结束语

文中采用 SMIC 0.35 μm CMOS 工艺,成功地设计了一款低功耗、输出高稳定性的晶体振荡器芯片。仿真结果表明:正常工作,电源电压为 5 V 时,晶体振荡器芯片消耗总电流低于 5 mA,振荡器模块消耗电流仅为 0.6 mA;引入低功耗模式后,振荡模块消耗电流降低至 3 μA 以下;各种工艺条件下,负载电容为 15 pF 时,输出占空比为 $50 \pm 0.8\%$ 的方波信号,其频率随电源电压的变化率仅为 0.5×10^{-6} 。与传统结构相比,功耗降低了 60%,频率随电压稳定性提高了 10 倍,非常适合应用于高精度时钟系统。

(上接第 104 页)

用在线 TOP-10 推荐在抽取率 1/5 时,查全率比传统协同过滤算法高出了 26.45%。但随着整体稀疏度的增大,传统协同过滤算法和优化的协同过滤算法能预测出来的项目急剧减少,因此查全率都随之降低,但整体来说优化的协同过滤算法比传统协同过滤算法有较高的查全率。

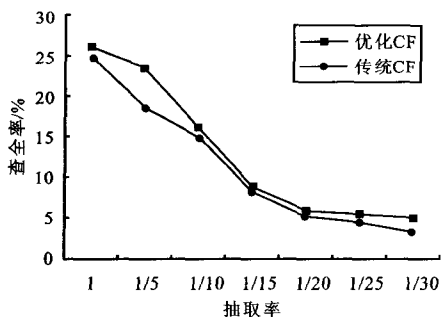


图2 算法查全率比较

5 结束语

文中结合基于概念层次的协同过滤算法和基于用户兴趣局部相似的协同过滤算法的思想,提出了一种优化的组合协同过滤算法,并在实际个性化推

参考文献:

- [1] 赵声衡, 赵英. 晶体振荡器[M]. 北京: 科学出版社, 2008.
- [2] 曾健平, 王阅, 何先良. 石英晶体振荡器的集成化设计[J]. 微电子学与计算机, 2009, 26(2): 30-32.
- [3] 徐赏林, 李威, 王继安, 等. 高线性度低频压控振荡器的设计[J]. 微电子学与计算机, 2006, 23(8): 42-45.
- [4] Huang Qiuting. Design considerations for high-frequency crystal oscillators digitally trimmable to sub-ppm accuracy[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 1997, 5(4): 410-416.
- [5] Tan J Y J, Ng K A, Xu Y P. An integrated low power one-pin crystal oscillator[C]//IEEE Asia Pacific Conference on Circuits and Systems. Macao: IEEE Press, 2008: 1352-1355.
- [6] 高明伦, 胡永华, 李丽. 深亚微米芯片设计中相位噪声的讨论[J]. 微电子学与计算机, 2002, 19(9): 57-60.
- [7] Razavi B. 模拟 CMOS 集成电路设计[M]. 西安: 西安交通大学出版社, 2000.

作者简介:

陈红梅 女, (1986-), 硕士研究生. 研究方向为模拟 CMOS 集成电路设计.

徐静平 男, (1958-), 教授, 博士生导师. 研究方向为集成电路设计与器件工艺.

荐系统中得到了较好的应用. 同时, 实验结果表明对于局部较为密集而整体稀疏的用户项目偏好矩阵, 改进后的算法提高了算法精确性.

参考文献:

- [1] Manos Papagelis, Dimitris Plexousakis. Qualitative analysis of user-based and item-based prediction algorithms for recommendation agents[J]. Engineering Applications of Artificial Intelligence, 2005(18): 782-784.
- [2] 吴发青, 贺木梁, 夏薇薇, 等. 一种基于用户兴趣局部相似性的推荐算法[J]. 计算机应用, 2008, 28(8): 1981-1984.
- [3] 高凤荣, 杜小勇, 王珊. 一种基于稀疏矩阵划分的个性化推荐算法[J]. 微电子学与计算机, 2004, 21(2): 59-60.
- [4] 熊馨, 王卫平, 叶跃祥. 基于概念分层的个性化推荐算法[J]. 计算机应用, 2005, 25(5): 1006.
- [5] 张晓敏, 王茜. 基于概念层次树的个性化推荐算法[J]. 计算机工程, 2007, 33(24): 58-59.

作者简介:

谢翔宙 女, (1986-), 硕士研究生. 研究方向为软件工程专业与网络软件.

张延园 男, (1956-), 教授, 硕士生导师. 研究方向为网络存储、软件工程与网络软件.